基于FPGA 的DPSK 解调电路设计

北京锦坤科技有限公司www.jonkon.com.cn
（1．西南石油大学研究生院，四川成都610500；2．西南石油大学计算机科学学院，四川成都610500）王攀1，陈利学2，计勇1，郑津1，牛晓亮1

摘要：现代通信系统要求通信距离远、通信容量大、传输质量好。作为其关键技术之一的调制解调技术一直是人们研究的一个重要方向。本文讨论和仿真实现了基于FPGA 的数字化DPSK 解调系统。用Altera 公司的FPGA 开发平台Quartus II 实现了一个对基带信号的DPSK解调系统模型的仿真。

关键词：调制解调；DPSK；现场可编程门阵列（ FPGA）；Quartus II
中图分类号：TP273 文献标识码：A 文章编号：1672-7800（2009）04－0077－02

0 引言

DPSK 在数据传输中，尤其是在中速和中高速的数传机（2400－4800 bit / s）中得到了广泛地应用。虽然相移键控有较好的抗干扰性，在有衰落的信道中也能获得很好的效果，但在进行数据通信中，数据交换速率和可靠性是相互矛盾的，需要根据具体的应用要求进行取舍。由于DPSK 在编码数据时是利用相位的角度来表征“1”或“0”，如果遇到“1”和“0”相互交替时就会出现波形的突变，从而引起高次谐波干扰，同时找不到信号的起始位置，给调制解调时相位的跟踪带来困难。因此，在某些高质量的通讯中，需要对这种通讯方式加以改进。

1 DPSK 解调原理

相对调相（相对移相），即DPSK，也称为差分调相，这种方用载波相位的相对变化来传送数字信号，即利用前后码之间载波相位的变化表示数字基带信号。所谓相位变化又有向量差和相位差两种定义方法。向量差是指前一码元的终相位与本码元初相位比较，是否发生了相位变化，而相位差是指前后两码元的初相位是否发生了变化。对于相对移相，基带信号是由相邻两码元相位的变化来表示，它与载波相位无直接关系，即使采用同步解调，也不存在相位模糊问题，因此在实际设备中，相对移相得到了广泛运用。DPSK 信号的解调方法有两种：极性比较法（又称同步解调或相干解调）和相位比较法（是一种非相干解调）。而在本系统中将采用极性比较法来进行DPSK 信号的解调。极性比较法电路如图1 所示，输入的DPSK信号经带通滤波器后加到乘法器，乘法器将输入信号与载波极性比较。极性比较电路符合绝对移相定义（因绝对移相信号的相位是相对于载波而言的），经低通和取样判决电路后，再经过相对码－绝对码变换器还原基带信号。

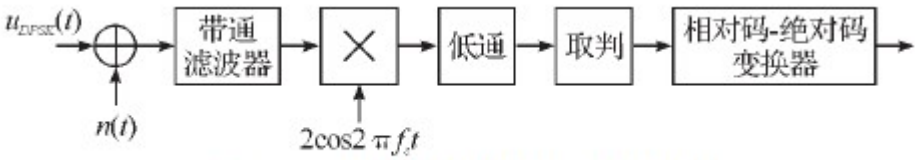


图 1 DPSK 信号极性比较法解调电路

由图1 不难看出，极性比较原理是将DPSK 信号与参与载波进行相位比较，恢复出相对码，然后进行差分译码，由相对码还原成绝对码， 得到原绝对码基带信号。如果去掉相对码－绝对码变换器，则剩余部分刚好是一个CPSK（绝对调相）解调电路。相对码－绝对码变换器电路如图2 所示， 其中绝对码记为a_k，相对码记为b_k，T_B为码元宽度。

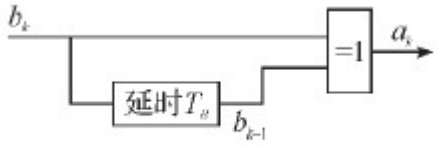


图 2　相对码变为绝对码电路

DPSK 解调器由3 部分组成，乘法器和载波提取电路实际上就是相干检测器；后面的相对码（差分码）—绝对码的变换电路，即相对码译码器；其余部分完成低通判决任务。由图1 可知，当输入为“1”码时，U_{DPSK}（t）＝Acos（2πfct），因此，此时低通输出

$$x(t)=A+n_c(t) \qquad (1)$$

式中nc（t）是均值为零的低通型高斯噪声，A 为常数。当输入为“0”码时

$$,u_{DPSK}(t)=A\cos(2\pi f_c t+\pi)=-A\cos(2\pi f_c t),则$$

$$x(t)=-A+n_c(t) \qquad (2)$$

总结以上分析可知：

$$x(t)=\begin{cases}A+n_c(t),发“1”码\\-A+n_c(t),发“0”码\end{cases} \qquad (3)$$

2 DPSK 解调电路的FPGA 建模与程序设计

2．1 CPSK 解调方框图模型

CPSK 解调器的建模方框图如图3 所示。图中的计数器q输出与发出端同步的0 相数字载波。判决器的工作原理是：把计数器输出的0 相载波与数字CPSK 信号中的载波进行逻辑“与”运算，当两个比较信号在判决时刻都为“1”时，输出为“1”，否则输出为“0”，以实现解调的目的。图中没有包含模拟电路部分，调制信号为数字信号。

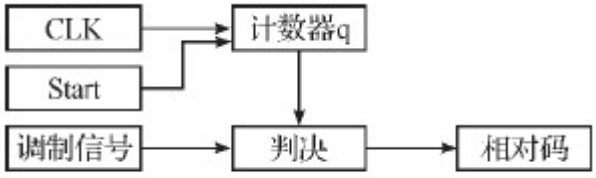


图 3　CPSK 解调器的建模方框图

2．2 相对码到绝对码转换模型

DPSK 解调采用CPSK 解调电路加相对码到绝对码转换电路即可实现。相 / 绝变换过程都是以计数器输出信号为时钟的控制下完成的。图4 是相对码转换为绝对码的转换方框图。

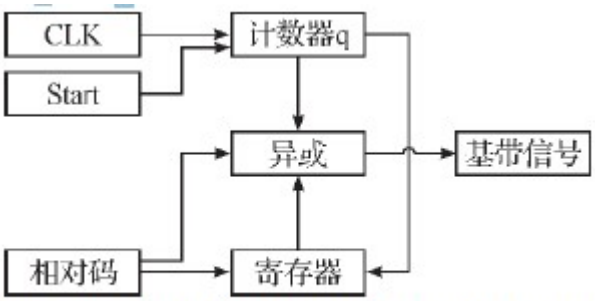


图 4　相对码到绝对码(基带信号)的转换方框图

2．3 DPSK 解调电路的FPGA 详细设计

软件设计工作主要采用Altera 公司的Quartus II 7．2 软件进行自顶向下的设计，Quartus II 7．2 是美国Altera 公司自行设计的一种CAE 软件工具，方便利用EDA 方式设计ASIC 芯片，支持嵌入式系统的开发、DSP Builder、SOPC 开发、Signal Tap 逻辑分析仪、LogicLock 优化技术等，是一个有力的开发工具。

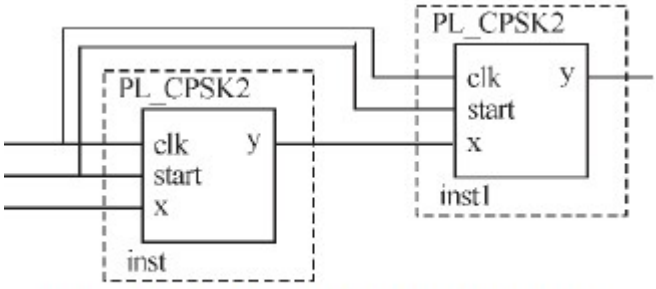


图 5　FPGA 中实现 DPSK 解调顶层电路

图5 为在FPGA 中现实DPSK 解调的顶层电路图。其中PL__CPSK2 是CPSK 解调电路的VHDL 建模符号，PL__DPSK2是相对码－绝对码转换的VHDL 建模符号。PL__CPSK2 中x 为调制信号输入，Clk 为系统时钟，Start 信号为同步信号，PL__DPSK2中的y 为最终调制输出的基带信号。

3 系统仿真

设置时钟频率为100MHz，分别对Start 信号和x 信号设置如下图，通过在Quartus 中仿真可得到图6 所示的基带信号输出。

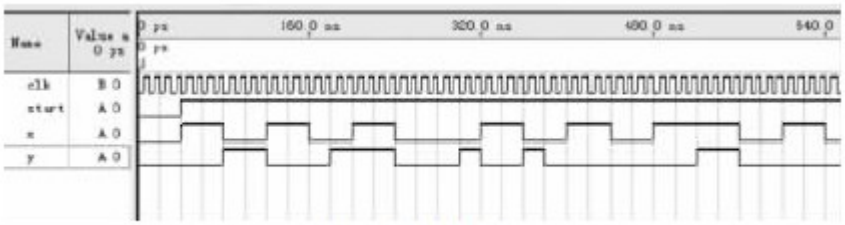


图 6　系统仿真

由图可知，输出信号y 滞后于输入信号x 一个基带码长（4个Clk）。该仿真结果表明，该系统的工作过程是正确地完成了极性比较法DPSK 解调。

4 结束语

本文针对中高速数字通信中常用的DPSK 调制解调信号，设计了一种数字解调方法，并对载波恢复环路中的关键模块相对码－绝对码的转换电路进行了详细的设计，理论上的性能分析与软件仿真结果证明了该方案设计的正确性。

参考文献：
［1］ 张辉，曹丽娜. 现代通信原理与技术［M］. 西安：西安电子科技大学出版社，2002.
［2］ 潘松，黄继业，王国栋. 现代DSP 技术［M］. 西安：西安电子科技大学出版社，2003.
［3］ 胡广书. 数字信号处理—理论、算法与实现［M］. 北京：清华大学出版社，2000.
［4］ 安效军，王力男. NCO 的数字化实现与应用［J］. 无线电通信技术，2004（2）.
［5］ 昆仑，郭黎利. 全数字BPSK 调制解调器［J］. 哈尔滨工程大学学报，2000（2）.
［6］ 王兴亮. 数字通信原理与技术［M］. 西安：西安电子科技大学出版社，2001.
（责任编辑：王钊）
Design of DPSK Modulation and Demodulation Based on FPGA
Abstract: Long distance, large capability and high quality of transmission are required in modern communication system. Modulation and demodulation, which is one of the most key techniques in communication, has been always an important aspect. The digitalized DPSK demodulation system based on FPGA are primarily discussed and simulated. A model of DPSK demodulation system with base band signal are simulated on the basis of a FPGA development platform Quartus II developed by Altera.
Key Words: Modulation and Demodulation; DPSK; FPGA; Quartus II

北京锦坤科技有限公司www.jonkon.com.cn